

13.8. СУММАТОРЫ

Сумматором называют устройство, выполняющее операцию сложения цифровых кодов двух чисел. Сумматоры входят в состав арифметического устройства (АУ) ЭВМ. В АУ, кроме того, входят устройства, осуществляющие умножение и деление цифровых кодов чисел, однако и они содержат суммирующие устройства.

По принятой в ЭВМ системе счисления и кодирования сумматоры делятся на *двоичные, десятичные, двоично-десятичные* и др.

По способу организации суммирования сумматоры могут быть *комбинационные*, в которых результат суммирования не запоминается, и *накапливающие* (с запоминанием результата суммирования).

По способу выполнения операций сумматоры подразделяются на *последовательные*, *параллельные* и *параллельно-последовательные*. В последовательных сумматорах суммирование осуществляется последовательно от младших разрядов к старшим, а в параллельных суммировании одноименных разрядов происходит одновременно. В параллельно-последовательных сумматорах суммируемые многоразрядные числа разбиваются на группы, в которых производится параллельное поразрядное суммирование, а полученные при этом частичные суммы складываются последовательно.

Неполный сумматор. Простейшим является одноразрядный двоичный сумматор на два входа, работа которого отражена в табл. 13.1. Так как при сложении двух одноразрядных чисел, каждое из которых равно 1, формируется единица переноса в старший разряд, то сумматор должен иметь два выхода: один — для формирования частичной суммы, относящейся к данному разряду, второй — для формирования переноса в старший разряд. Состояния такого сумматора при сложении двух одноразрядных двоичных чисел a_0 и b_0 приведены в табл. 13.6. Здесь S_0 — частичная сумма; P_1 — сигнал переноса.

Табл. 13.6. Состояния двухвходового полусумматора

| a_0 | b_0 | S_0 | P_1 |
|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

На основании табл. 13.6 легко получить логические выражения для S_0 и P_1 : $S_0 = a_0b_0 + a_0\bar{b}_0$, $P_1 = a_0b_0$, из которых следует, что формирование переноса осуществляется с помощью функции И, а частичной суммы — с помощью функции неравнозначности (рис. 13.26, а).

В данном одноразрядном сумматоре не учитывается перенос из младшего разряда, и его называют *неполным*, или *полусумматором*. Условное изображение полусумматора дано на рис. 13.26, б.

Полный сумматор. С учетом переноса из младшего разряда полный сумматор должен иметь три входа: два входа для первого и второго слагаемых и один — для цифры переноса из младшего разряда. Полный сумматор можно составить из двух полусумматоров (рис. 13.27, а). Правила его работы приведены в табл. 13.7, а условное изображение — на рис. 13.27, б.

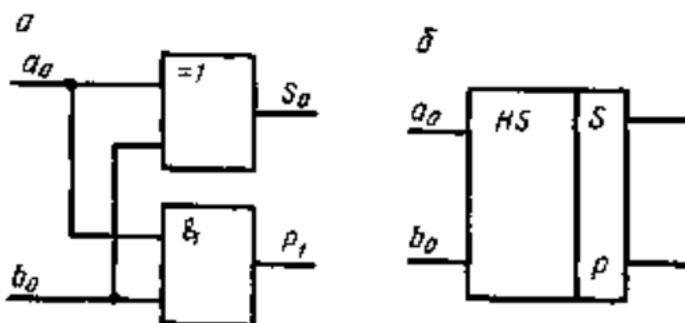


Рис. 13.26. Схема (а) и условное обозначение (б) неполного одно-разрядного сумматора

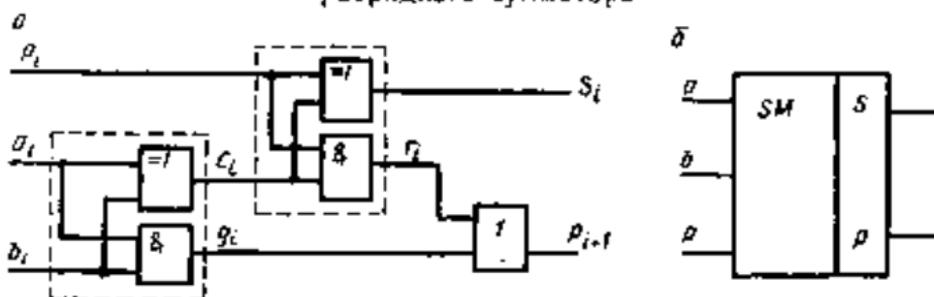


Рис. 13.27. Схема (а) и условное обозначение (б) полного одно-разрядного сумматора

Табл. 13.7. Состояния полного сумматора

| Входы | | | Промежуточные сигналы | | | Выходы | |
|-------|-----|-------|-----------------------|-------|-------|--------|-----------|
| a | b | p_i | c_i | g_i | r_i | S_i | p_{i+1} |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 |

При сложении двух многоразрядных чисел на каждый разряд, кроме младшего, необходимо иметь полный сумматор. На рис. 13.28 приведена схема сумматора, предназначенного для сложения двух четырехразрядных чисел

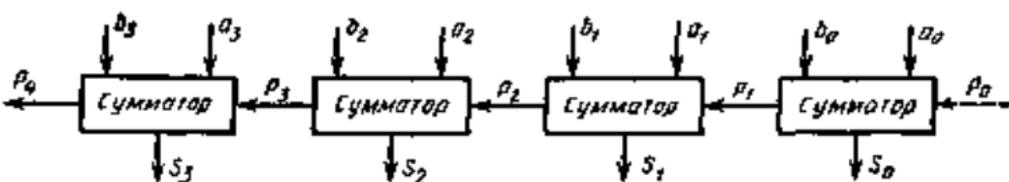


Рис. 13.28. Функциональная схема полного сумматора для двух четырех-разрядных двоичных чисел

A и B с последовательным переносом. Если для младшего разряда используется полный сумматор, то появляется возможность наращивания разрядов сумматора, тем самым осуществлять суммирование двоичных чисел с большим количеством разрядов.

Недостатком рассмотренного четырехразрядного сумматора с последовательным переносом является малая скорость выполнения операции суммирования: сигнал переноса P_2 устанавливается лишь после установки правильного значения переноса P_1 , P_3 — после установки правильного значения P_2 , и сигнал P_4 — после установки правильного значения P_3 . Для повышения быстродействия при сложении многоразрядных чисел применяются сумматоры с параллельным переносом, в которых все сигналы переноса вычисляются непосредственно по значениям входных переменных.

Сумматоры в интегральном исполнении имеются в сериях К155 и КМ155 (К155ИМ1, КМ155ИМ1 — одноразрядные полные сумматоры; К155ИМ2, КМ155ИМ2 — двухразрядные полные сумматоры; К155ИМ3, КМ155ИМ3 — четырехразрядные сумматоры), в серии К176 (К176ИМ1 — четырехразрядный полный сумматор) и некоторых других.