

13.4. ДВОИЧНО-ДЕСЯТИЧНЫЕ СЧЕТЧИКИ

В рассмотренных двоичных счетчиках частота следования импульсов на выходе каждого разряда в два раза меньше частоты поступления импульсов на его вход. Следовательно, каждый разряд двоичного счетчика осуществляет деление частоты входных импульсов на 2, а в целом n -разрядный двоичный счетчик имеет коэффициент деления $K_d = 2^n$. Изменяя число разрядов, можно построить счетчики импульсов с коэффициентами деления 2, 4, 8, 16, 32, 64 и т. д.

Для получения $K_d \neq 2^n$ в счетчике создают обратные связи между разрядами: параллельные, последовательные или смешанные. Наибольшее распространение получили делители частоты с параллельными обратными связями, осуществляемыми со старшего разряда на младшие (рис. 13.12). При осуществлении ОС со старшего n -го

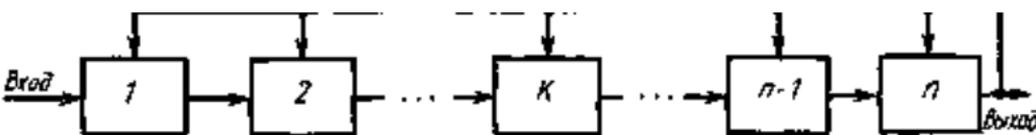


Рис. 13.12. Функциональная схема двоично-десятичного счетчика с параллельными обратными связями

разряда на триггер первого разряда последний дополнительно изменяет свое состояние при поступлении на его вход импульса ОС, соответствующего моменту появления импульса на выходе старшего разряда. В результате повторное обнуление разрядов n -разрядного счетчика произойдет после поступления на вход $(2^n - 1)$ импульсов, а не 2^n , что соответствует уменьшению коэффициента деления, или коэффициента пересчета, на 1:

$$K'_d = 2^n - 2^0 = 2^n - 1.$$

При осуществлении ОС со старшего разряда на второй коэффициент деления уменьшается на 2:

$$K''_d = 2^n - 2^1 = 2^n - 2;$$

а при ОС со старшего разряда на третий:

$$K'''_d = 2^n - 2^2 = 2^n - 4$$

и т. д. Для определения разрядов, на которые необходимо подать ОС, определяют число $M = 2^n - K_d$, которое затем представляют в двоичном коде. Разряды этого кода, представленные единицами, соответствуют разрядам счетчика, на которые должны быть поданы обратные связи со старшего разряда. По такому принципу может быть выполнен двоично-десятичный счетчик, имеющий $K_d = 10$. Минимальное число двоичных разрядов n и номера разрядов, на которые должна подаваться ОС, определяются следующим образом.

Так как $2^3 = 8$, а $2^4 = 16$, то счетчик с $K_d = 10$ должен иметь не менее четырех двоичных разрядов, т. е. $n = 4$. Тогда

$$M = 2^4 - 10 = 16 - 10 = 6.$$

Двоичный код числа 6 записывается в виде 0110 (для четырехразрядного счетчика). Следовательно, ОС с 4-го разряда должны быть поданы на 2-й и 3-й разряды.

Принципиальная схема асинхронного двоично-десятичного счетчика на Т-триггерах приведена на рис. 13.13.

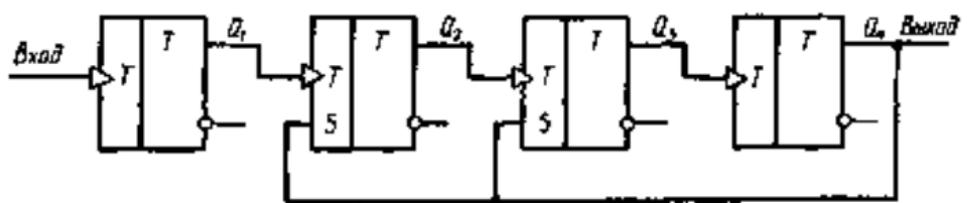


Рис. 13.13. Схема асинхронного двоично-десятичного счетчика

Двоично-десятичные счетчики широко применяются в измерительной технике, различной связной аппаратуре, устройствах отображения информации в цифровом десятичном коде и т. п. Такие счетчики получили название пересчетных декад, или просто декад. Они выпускаются целиком в интегральном исполнении (серии К155, К176, К511 и др.) или могут быть выполнены из различных интегральных ЛЭ. По принципу построения декады делятся на декады на четырех триггерах и кольцевые.

В декадах на четырех триггерах, кроме основных ОС, осуществляемых со старшего разряда на младшие, для повышения быстродействия могут применяться и дополнительные ОС с младших разрядов на старшие.

Кольцевые декады строятся на 5 или 10 триггерах. Кольцевая декада на 5 триггерах представлена на рис. 13.14. Состояние каждого триггера декады в пределах

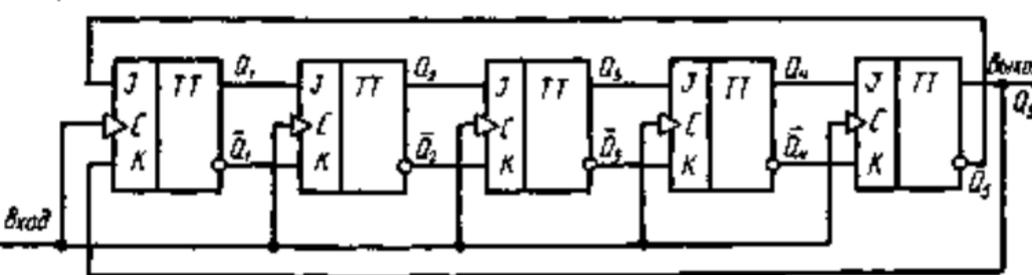


Рис. 13.14. Схема кольцевой декады

цикла деления указано в табл. 13.3. Из таблицы видно, что триггер каждого разряда переключается после поступления на его вход С пяти импульсов.

Табл. 13.3. Состояния разрядов кольцевой декады из пяти триггеров

Выходы	Номера входных импульсов										
	0	1	2	3	4	5	6	7	8	9	10
Q_1	0	1	1	1	1	1	0	0	0	0	0
Q_2	0	0	1	1	1	1	0	0	0	0	
Q_3	0	0	0	1	1	1	1	0	0	0	
Q_4	0	0	0	0	1	1	1	1	0	0	
Q_5	0	0	0	0	0	1	1	1	1	0	

Достоинство кольцевой декады заключается в отсутствии дополнительных обратных связей между разрядами.