

13.2. РЕГИСТРЫ

Регистры — это устройства, которые предназначены для приема, хранения и передачи информации, представленной в виде двоичного кода (слова). Каждому разряду двоичного кода соответствует определенный разряд (ячейка памяти) регистра. С помощью регистров можно выполнять некоторые логические операции (поразрядное логическое сложение, умножение и др.), а также осуществлять операции преобразования информации из одного вида в другой (например, преобразовывать последовательный код в параллельный и т. п.).

Регистр представляет собой совокупность определенным образом соединенных триггерных ячеек с устройством управления входными и выходными сигналами. Число используемых в регистре триггеров определяет его разрядность. Каждый триггер регистра может иметь прямой и инверсный выходы, что позволяет снять записанный в нем код в прямом или инверсном виде.

Важнейшим признаком классификации регистров является способ ввода — вывода информации и характер представления вводимой и выводимой информации.

По способу ввода и вывода (приема и передачи) информации регистры подразделяются на *параллельные*, *последовательные* и *параллельно-последовательные*.

По характеру представления вводимой и выводимой информации регистры делят на *однофазные* и *парафазные*. В однофазных регистрах информация вводится в прямом или обратном (инверсном) кодах, а в парафазном — одновременно в прямом и обратном. Вывод информации из регистров обоих типов может осуществляться как в прямом, так и в обратном кодах.

Регистры можно классифицировать также по числу тактов управления при записи и по виду выполняемых операций над словами.

По числу тактов управления регистры подразделяются на *однотактные*, *двухтактные* и *многотактные*. Число тактов определяется типом используемых в регистре триггеров.

По виду выполняемых операций над словами различают *регистры для приема, передачи и сдвига информации*.

Параллельные регистры. В параллельных регистрах запись информации (слова) осуществляется параллельным кодом, т. е. одновременно во все разряды регистра. Записанная информация может многократно считываться и храниться в регистре сколь угодно длительное время. Поэтому такие регистры называют регистрами памяти.

На рис 13.1, а приведена схема четырехразрядного параллельного однофазного регистра на RS -триггерах.

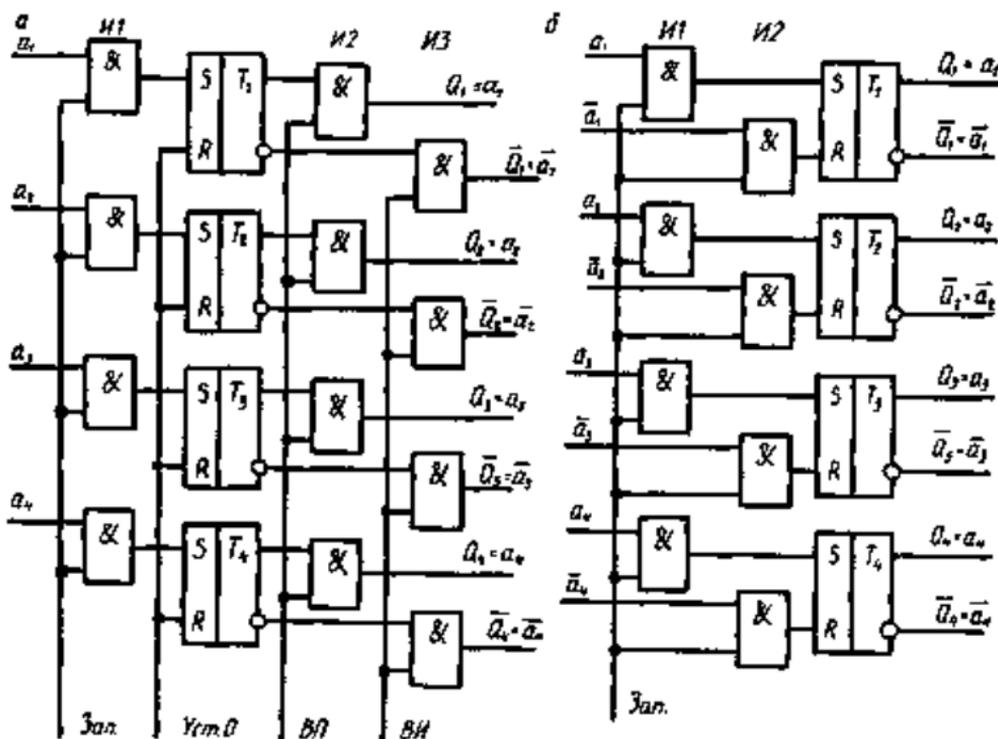


Рис. 13.1. Схемы однофазного (а) и парафазного (б) параллельных регистров

Управление приемом (записью) и выдачей (считыванием) информации осуществляется соответственно элементами И1 и И2, И3. Входы a_1, a_2, a_3 и a_4 соответствуют разрядам записываемого слова (числа).

Перед записью все триггеры регистра устанавливают в нулевое состояние подачей импульса $Уст. 0$ на входы R . Запись информации $a_1...a_4$ в регистр осуществляется при поступлении импульса записи на шину $Зап$. При этом на выходах элементов И1 образуются сигналы установки триггеров в состояние 1 только в тех разрядах, в которых $a_i = 1$. Остальные триггеры остаются в нулевом состоянии. Записанный в регистр код выдается в прямом (через элементы И2) или инверсном (через элементы И3) виде при

поступлении на входы ЛЭ И2 или ЛЭ И3 соответственно импульсов *ВП* или *ВИ*. Информация о записанном коде сохраняется в регистре до прихода следующего импульса *Уст. 0*.

Недостаток рассмотренного параллельного регистра заключается в том, что требуется время для его обнуления перед записью новой информации. Это снижает быстродействие регистра. Для увеличения быстродействия применяют парафазную запись информации. Парафазный регистр можно получить из однофазного, преобразовав устройство управления записью (рис. 13.1, б). Записываемое слово представляется в прямом ($a_1 a_2 a_3 a_4$) и инверсном ($\bar{a}_1 \bar{a}_2 \bar{a}_3 \bar{a}_4$) кодах и подается на входы

элементов И1 и И2 соответственно. Запись в регистр производится при поступлении сигналов записи на шину *Зап.* При этом на входы *S* триггеров поступают прямые, а на входы *R* — инверсные значения разрядов записываемого слова, которые устанавливают триггеры в нужные состояния независимо от исходных состояний. Выдача информации осуществляется так же, как и в однофазном.

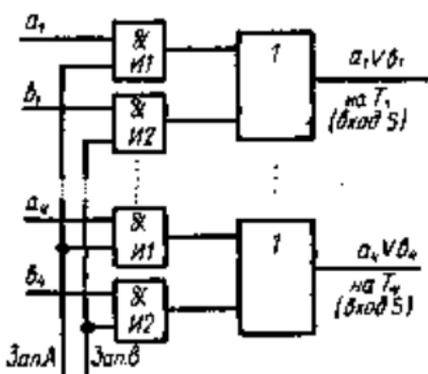


Рис. 13.2. Схема устройства управления записью двухканального регистра

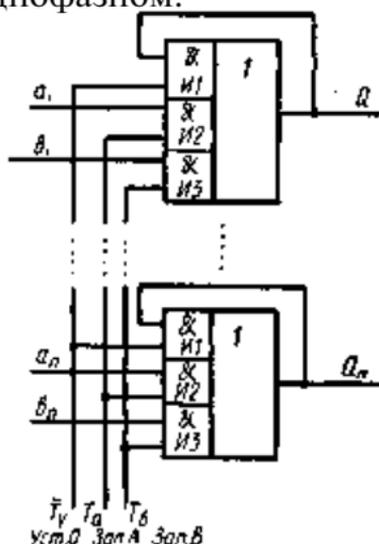


Рис. 13.3. Схема двухканального *n*-разрядного регистра

Регистр, показанный на рис. 13.1, а, служит для записи, хранения и передачи одного слова *A* ($a_1 a_2 a_3 a_4$) и является одноканальным. Путем изменения устройства управления его можно преобразовать в многоканальный. На рис. 13.2 показано устройство управления записью в регистр двух слов *A* ($a_1 a_2 a_3 a_4$) и *B* ($b_1 b_2 b_3 b_4$). Раз-

ряды слова L подаются по первому каналу через элементы И1, а слова B — по второму каналу через элементы И2. Запись по каналу A производится импульсом $Zan. A$, а по каналу B — импульсом $Zan. B$. При поступлении импульса записи на вход устройства управления значения разрядов числа L или B передаются через элементы И1 или И2 на входы ЛЭ ИЛИ, а с выходов элементов ИЛИ поступают на входы S триггеров соответствующих разрядов регистра. Считывание информации осуществляется так же, как и в одноканальном регистре.

Для построения регистров широко применяются D -триггеры, позволяющие уменьшать количество элементов. На рис. 13.3 приведена схема n -разрядного параллельного двухканального однофазного регистра (схема управления процессом считывания не приведена), выполненного на однофазных D -триггерах. Импульс T_y , поданный на вход $Уст. O$, устанавливает в нуль все разряды регистра. Запись числа A ($a_1 \dots a_n$) производится тактовым импульсом T_a , поданным на вход $Zan. A$. При этом на выходах элементов И2 устанавливаются уровни $a_1 \dots a_n$, которые через элементы ИЛИ передаются на выходы соответствующих D -триггеров.

Аналогичным образом производится запись числа B ($b_1 \dots b_n$) при подаче тактового импульса на вход $Zan. B$.

Последовательные регистры. Наряду с записью и хранением информации последовательные регистры позволяют осуществить логическую операцию сдвига кода записанного числа на любое количество разрядов. Поэтому последовательные регистры называют также сдвигающими регистрами, или регистрами сдвига.

Сдвиг кода записанного числа в регистре применяется при выполнении операций умножения и деления. Так, например, сдвиг кода 0100 (числа 4) на один разряд влево дает код 1000 (число 8), что соответствует умножению на $2^1 = 2$. Сдвиг этого же кода 0100 на один разряд вправо дает код 0010 (число 2), что равносильно делению на $2^1 = 2$.

Помимо выполнения операций умножения и деления, сдвигающие регистры применяются для преобразования параллельного кода в последовательный и наоборот, а также для построения счетчиков импульсов.

Последовательный регистр состоит из последовательно соединенных триггеров. Под действием тактовых импульсов состояние каждого триггера передается последую-

шему, что равносильно сдвигу кода. В зависимости от числа последовательностей тактовых импульсов, осуществляющих сдвиг кода, сдвигающие регистры бывают *одно-, двух-, трех- и четырехтактными* (в общем случае многотактными).

Триггеры сдвигающего регистра должны обладать свойствами запоминания. При использовании в сдвигающем регистре простых *RS*-триггеров каждый разряд, кроме основного, содержит дополнительный триггер, используемый для промежуточного запоминания информации. Структура такого регистра показана на рис. 13.4.

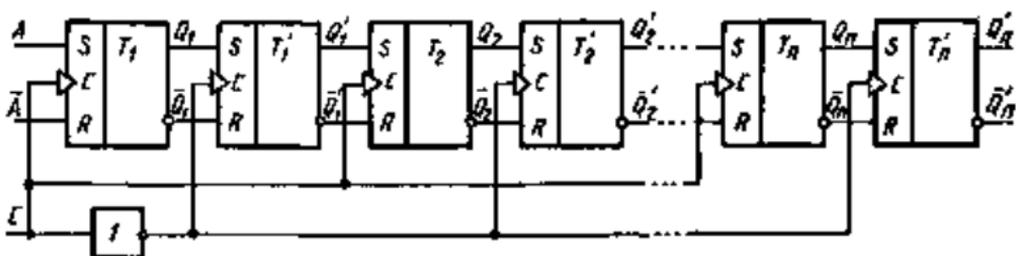


Рис. 13.4. Схема последовательного регистра на синхронных *RS*-триггерах

Триггеры T_1, T_2, \dots, T_n образуют основной регистр, а триггеры T'_1, T'_2, \dots, T'_n — дополнительный. Синхронизирующие импульсы C подаются одновременно на все разряды основного регистра и через ЛЭ НЕ на все разряды дополнительного регистра.

Запись информации (числа A) осуществляется последовательным парафазным кодом, поступающим на вход первого триггера основного регистра. Перед записью триггеры основного и дополнительного регистров устанавливаются в нулевое состояние подачей на синхронизирующий вход n импульсов при действии на прямом информационном входе нулевого сигнала. При этом первый синхронизирующий импульс C устанавливает в нулевое состояние триггер T . Поскольку запись информации на триггеры дополнительного регистра при этом запрещена, не изменяются и состояния остальных триггеров (кроме первого) основного регистра. После окончания действия синхронизирующего импульса C_1 логический 0 с выхода T_1 переписывается в дополнительный триггер T'_1 .

Второй синхронизирующий импульс C_2 подтверждает нулевое состояние триггера T_1 и разрешает запись логического 0 с дополнительного триггера T'_1 в триггер второго разряда T_2 . После окончания действия импульса C_2 логический 0 с триггера T_2 переписывается в триггер T'_2 .

Третий синхронизирующий импульс C_3 устанавливает в нулевое состояние триггер T_3 , которое передается триггеру T'_3 по окончании действия синхронизирующего импульса C_3 , и т. д.

Аналогичным образом осуществляется запись в регистр числа L . Разница состоит лишь в том, что состояние триггера T_1 будет определяться значениями сигналов L и \bar{A} на его входе во время действия синхронизирующих импульсов C . Записанный в регистр код может быть сдвинут вправо на один или несколько разрядов подачей соответствующего числа импульсов на вход C .

На рис. 13.5 показана схема последовательного сдвигающего регистра на двухступенчатых синхронных D -триггерах

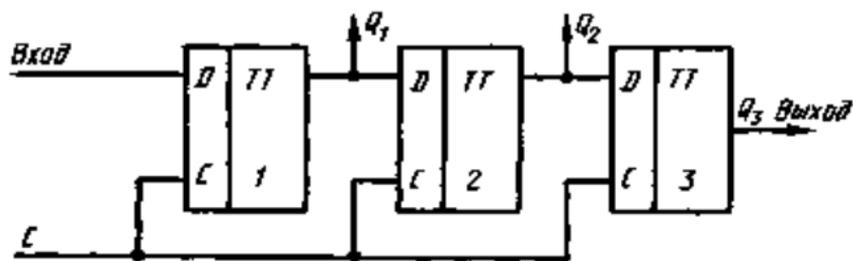


Рис. 13.5. Схема трехразрядного последовательного регистра на D -триггерах

герах, имеющего три разряда. Запись информации в регистр осуществляется последовательным однофазным кодом, разряды которого поступают на вход первого триггера к моментам появления синхронизирующих импульсов на входе C . Этими же импульсами осуществляется и сдвиг записанного кода вправо. Во время действия синхронизирующего импульса на первые ступени второго и третьего триггеров переписываются значения состояния первого и второго D -триггеров, а на первую ступень первого D -триггера — значение информации, действующей на его входе. В паузах между синхронизирующими импульсами происходит изменение состояний вторых ступеней триггеров.

Параллельно-последовательные регистры. Параллельно-последовательный регистр на D -триггерах (рис. 13.6) позволяет осуществлять преобразование параллельного кода в последовательный и наоборот. Двухступенчатые D -триггеры имеют инверсные входы \bar{S} и R для асинхронной установки нуля (входы R) и для записи $/2$ -разрядного числа \bar{A} (a_1, a_2, \dots, a_n) в регистр параллельным кодом (входы \bar{S}). Параллельная запись числа во все разряды регистра осуществляется импульсом $C_2 = 1$. При этом

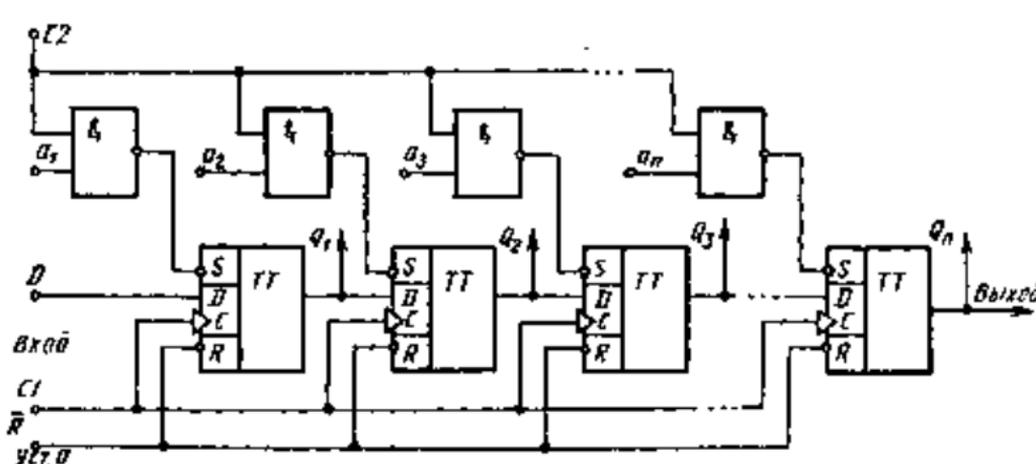


Рис. 13.6. Схема параллельно-последовательного регистра на D -триггерах

на выходах ЛЭ И образуются значения $\bar{a}_1, \bar{a}_2, \dots, \bar{a}_n$, которые поступают на асинхронные входы \bar{S} D -триггеров регистра и устанавливают их в состояния a_1, a_2, \dots, a_n . Преобразование параллельного кода в последовательный осуществляется подачей серии импульсов на вход CI . Первый импульс на входе CI устанавливает каждый триггер в состояние, в котором находился до этого каждый предыдущий триггер. Если $D = 0$, то первый триггер после первого импульса на входе CI установится в нулевое состояние. Происходит, таким образом, сдвиг записанного кода на один разряд вправо. Второй импульс на входе CI вызывает сдвиг числа вправо еще на один разряд, а в состоянии логического нуля окажутся уже первый и второй разряды и т. д. Импульсами, поступающими на вход CI , записанный в регистр код как бы выталкивается поразрядно, а освобождающиеся разряды устанавливаются в нулевое состояние.

В данный регистр можно осуществить запись числа последовательным кодом. Последовательный код записываемого числа подается на вход D и импульсами, поступающими на вход CI , «проталкивается» в регистр. Через выходы Q_1, Q_2, \dots, Q_n число, записанное в регистр последовательным кодом, может быть считано прямым параллельным кодом.

Реверсивные регистры. Регистры, которые позволяют осуществлять сдвиг записанного в них кода вправо или влево, называют реверсивными (рис. 13.7).

Реверсивный регистр отличается от сдвигающего (рис. 13.5) наличием перед каждой ячейкой устройства управления, выполненного на трех двухвходовых элемен-

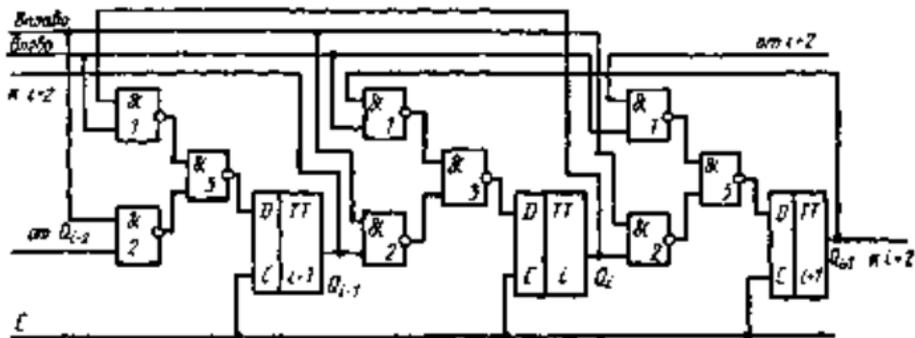


Рис. 13.7. Фрагмент схемы реверсивного регистра сдвига

тах И — НЕ. Для сдвига вправо необходимо одновременно с поступлением синхронизирующего импульса на вход C подать импульс на шину *Вправо*. При этом на входы D каждого последующего триггера поступает информация с выхода триггера предыдущего разряда (через ЛЭ И2 и И3), которая будет переписана во вторую ступень каждого принимающего триггера после окончания действия импульса на входе C . Для сдвига последовательного кода влево одновременно с синхронизирующим импульсом C подается импульс на шину *Влево*. В этом случае на D -вход первой ступени каждого триггера поступает информация о состоянии последующего триггера (через ЛЭ И1 и И3), которая переписывается во вторую ступень после окончания синхронизирующего импульса.