

13.11. ЗАПОМИНАЮЩИЕ ЭЛЕМЕНТЫ НА МДП-СТРУКТУРАХ

ЗУ на МДП-транзисторах. На рис. 13.31 показана схема ЗЭ на интегральном триггере, образованном МДП-транзисторами с каналом p -типа. Активными элементами

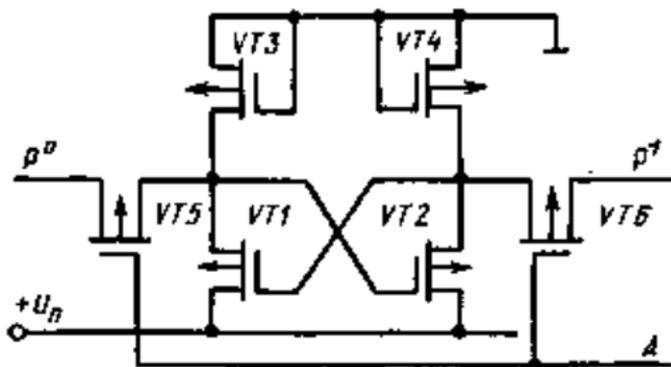


Рис. 13.31. Схема интегрального запоминающего элемента на МДП-транзисторах

триггера являются транзисторы $VT1$ и $VT2$, динамическими нагрузками которых служат транзисторы $VT3$ и $VT4$. Управление триггером при записи и считывании информации осуществляется через транзисторы $VT5$ и $VT6$.

В режиме хранения информации потенциалы разрядных шин P^0 и P^1 равны нулю, а потенциал шины A равен напряжению питания $+U_n$. Вследствие этого напряжения $U_{зи}$ транзисторов $VT5$ и $VT6$ имеют положительный знак и оба транзистора $VT5$ и $VT6$ закрыты. Триггер находится в одном из устойчивых состояний. Предположим, что триггер находится в состоянии хранения единицы, при котором транзистор $VT1$ закрыт, а $VT2$ — открыт. При этом потенциал стока закрытого транзистора $VT1$ близок к 0, а открытого $VT2$ — к $+U_n$.

Для считывания записанной информации потенциал адресной шины A уменьшают до нуля. В результате открывается транзистор $VT6$, так как напряжение $U_{зи}$ этого транзистора становится отрицательным и по абсолютному значению больше порогового. Вследствие этого в разрядной шине P^1 появляется высокий потенциал, близкий к потенциалу стока транзистора $VT2$. Транзистор $VT5$

при этом остается закрытым, так как для него $U_{3и} \approx 0$, и в разрядной шине P^0 сохраняется нулевой потенциал.

При записи информации в триггер потенциал шины A также уменьшается до 0, а изменения потенциалов разрядных шин P^0 и P^1 зависят от записываемой информации. Например, если в триггер необходимо записать 0, то потенциал разрядной шины P^1 сохраняется нулевым, а потенциал разрядной шины P^0 увеличивается до $+U_{\pi}$. В результате открывается транзистор $VT1$ и происходит увеличение потенциала стока этого транзистора, которое передается на затвор транзистора $VT2$, вследствие чего транзистор $VT2$ закрывается. При записи 1 потенциал разрядной шины P^0 сохраняется нулевым, а потенциал шины P^1 увеличивается до $+U_{\pi}$. Транзистор $VT6$ открывается, что влечет за собой отпирание транзистора $VT2$ и запираание $VT1$.

Рассмотренный ЗЭ на МДП-транзисторах относится к классу статических запоминающих устройств. Существуют также ЗЭ динамических ЗУ, в которых информация запоминается на емкости затвора МДП-транзистора. Поскольку из-за имеющихся утечек заряд емкости постепенно уменьшается, необходимо периодически его восстанавливать.

ЗУ на МДП-структурах имеют большее время обращения, чем ЗУ на биполярных структурах, однако они характеризуются меньшей потребляемой мощностью (статические ЗУ) и большей плотностью размещения информации.

Примерами ЗУ на МДП-структурах являются ИМС типа К501РЕ1П (ПЗУ на 2048 бит), КР505РЕ3 (ПЗУ емкостью 4096 бит), К505РУ4 (ОЗУ емкостью 256 бит) и др.

ЗУ на КМДП-транзисторах. Уменьшить время обращения к ЗУ и потребляемую им мощность можно, если вместо МДП-транзисторов использовать интегральные структуры с комплементарными МДП-транзисторами. Схема ЗЭ на КМДП-транзисторах приведена на рис. 13.32. Триггер выполнен на МДП-транзисторах $VT1$ и $VT2$ с каналами n -типа. Нагрузками транзисторов $VT1$ и $VT2$ являются МДП-транзисторы $VT3$ и $VT4$ с каналами p -типа. Управление триггером при записи и считывании информации осуществляется с помощью ключей на транзисторах $VT5$, $VT6$ и $VT7$, $VT8$, которые отпираются только в том случае, когда на адресные шины X_i и Y_i поступают одновременно единичные сигналы.

В режиме хранения информации $X_i = Y_i = 0$ ключи

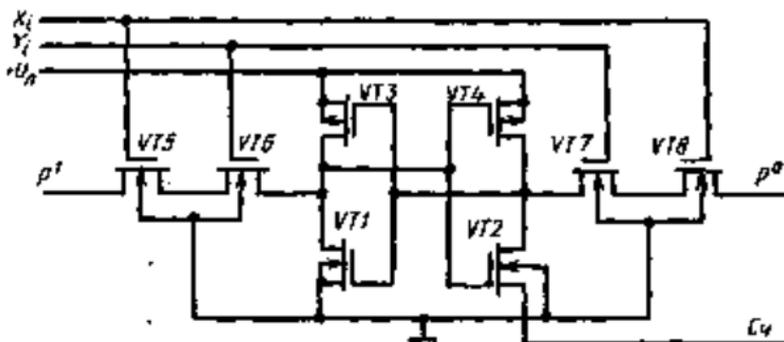


Рис. 13.32. Схема интегрального запоминающего элемента на КМДП-транзисторах

$VT5$, $VT6$ и $VT7$, $VT8$ закрыты, и триггер находится в одном из устойчивых состояний.

Для записи в триггер 1 на адресных шинах X_i и Y_i устанавливаются высокий уровень напряжения $X_i = Y_i \approx +U_n$, в разрядную шину P^1 подают уровень 1, а в разрядную шину P^0 — уровень 0. При этом триггер устанавливается в состояние, при котором транзистор $VT1$ закрыт, а $VT2$ — открыт.

При записи 0 в шину P^1 подают уровень 0, а в шину P^0 — уровень 1. В результате открытым оказывается транзистор $VT1$, а закрытым — транзистор $VT2$.

Считывание информации осуществляется по разрядным шинам P^1 и P^0 при $X_i = Y_i \approx U_n$. При этом шина C_4 подключается к нулевому уровню или к «земле».

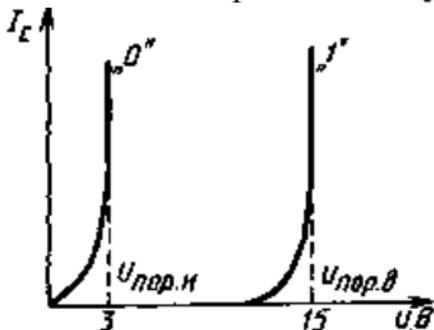
Интегральные ЗУ на КМДП-структурах имеются в ИМС серии К176 (К176РУ2 — ОЗУ на 256 бит с управлением, К176РМ1 — матрица-накопитель ОЗУ на 16 бит), в серии КР188 и др.

Недостатком ЗУ на биполярных и МДП-структурах является потеря информации при отключении источника питания. Этому недостатка лишены ЗУ, выполненные на интегральных МНОП-транзисторах.

ЗУ на МНОП-транзисторах. МНОП-транзистор отличается от МОП- (или МДП-) транзистора тем, что у него между пленкой диоксида кремния SiO_2 и металлическим затвором помещается слой нитрида кремния Si_3N_4 . Заряд, накопленный на границе раздела $Si_3N_4 - SiO_2$, может сохраняться при отключенном питании в течение нескольких тысяч часов.

Для записи единицы в запоминающем элементе на основе МНОП-транзистора на затвор подается отрицательное напряжение -28 В, называемое критическим. При этом на границе слоев Si_3N_4 и SiO_2 возникает заряд,

а МНОП-транзистор устанавливается в состояние с высоким пороговым напряжением $U_{пор.в} = 15$ В (рис. 13.33). Для записи нуля на затвор подают положительное критическое напряжение $U_3 = 28$ В, и МНОП-транзистор



принимает состояние с низким пороговым напряжением $U_{пор.н} = 3$ В. Таким образом, состояния 1 и 0

Рис. 13.33. Передаточные характеристики МНОП-транзистора

отличаются межпороговой зоной $\Delta U_{пор} = U_{пор.в} - U_{пор.н} = 12$ В.

Для считывания записанной информации на затвор МНОП-транзистора необходимо подать напряжение $U_{Г,ч}$, удовлетворяющее условию $U_{пор.н} < U_{Г,ч} < U_{пор.в}$. При этом ток стока будет протекать через транзистор в том случае, если он находился в состоянии, характеризующемся высоким пороговым напряжением $U_{пор.в}$. Если же МНОП-транзистор находился в состоянии с низким значением $U_{пор.н}$, ток стока через транзистор протекать не будет. Для выделения записанной в МНОП-транзисторе информации в цепь стока включают резистор с малым сопротивлением.

Способность МНОП-транзисторов сохранять информацию при отключенном источнике питания позволяет использовать их для построения постоянных запоминающих устройств. Примером ПЗУ на МНОП-транзисторах являются интегральные матрицы-накопители на 128 и 256 бит, входящие в состав серии К519, и матрицы — накопители на 1024 и 2048 бит, входящие в состав серии КР558.