

## 12.6. JK-ТРИГГЕРЫ

JK-триггер функционирует подобно RS-триггеру, с той лишь разницей, что не имеет запрещенной комбинации

входных сигналов. Вход  $J$  выполняет роль входа  $S$ , а вход  $K$  — роль входа  $R$ . При входной комбинации  $J^n = K^n = 1$ , эквивалентной запрещенной комбинации  $S^n = R^n = 1$  для RS-триггера, состояние  $JK$ -триггера изменяется на противоположное.

Одноступенчатый  $JK$ -триггер. Структурная схема  $JK$ (-триггера показана на рис. 12.14, а. На ЛЭ  $DD5$  и

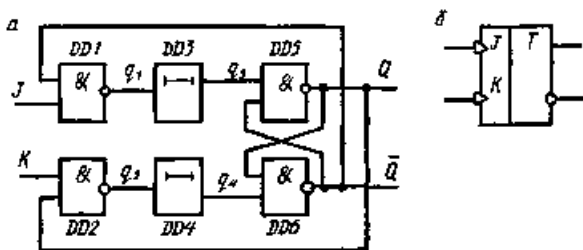


Рис. 12.14. Схема (а) и условное обозначение (б) асинхронного  $JK$ -триггера

$DD6$  выполнена ячейка памяти, представляющая  $RS$ -триггер. Элементы  $DD1$  и  $DD2$  образуют схему управления, а  $DD3$  и  $DD4$  осуществляют задержку сигналов, поступающих на входы ячейки памяти. Особенностью  $JK$ -триггера является наличие цепей обратной связи с выходов на входы, поэтому его состояние зависит не только от входных сигналов  $J$  и  $K$ , но и от сигналов на выходах  $Q$  и  $\bar{Q}$ .

Если  $J^n = K^n = 0$ , то независимо от сигналов  $Q^n$  и  $\bar{Q}^n$  на выходах ЛЭ  $DD1$  и  $DD2$  будет нейтральная комбинация  $q_1 = q_2 = 1$ , сохраняющая информацию в ячейке памяти. При  $J^n = 1$  и  $K^n = 0$  по-прежнему промежуточный сигнал  $q_2 = 1$ , а значение сигнала  $\bar{q}_1$  зависит от состояния ячейки памяти. Если  $Q^n = 1$  и  $\bar{Q}^n = 0$ , то на входе ЛЭ  $DD1$  будут сигналы  $J^n = 1$ ,  $\bar{Q}^n = 0$  и  $q_1 = q_3 = 1$ . Состояние ячейки памяти не изменится. Если же  $Q^n = 0$ , а  $\bar{Q}^n = 1$ , то  $q_1 = q_3 = 0$ , на выходе ЛЭ  $DD5$  образуется сигнал  $Q^{n+1} = 1$ , а на выходе ЛЭ  $DD6$  — сигнал  $\bar{Q}^{n+1} = 0$ . Аналогичным образом при  $K^n = 1$  и  $J^n = 0$  в ячейку памяти записывается логический ноль, если она находилась в состоянии логической единицы, или подтверждается ее нулевое состояние.

Пусть теперь  $J^n = K^n = 1$  и  $Q^n = 1$ , а  $\bar{Q}^n = 0$ . Это приведет к установлению  $q_2 = q_4 = 0$ , в результате чего

состояние ЛЭ *DD6* — на значение  $Q^{n+1} = 1$  и состояние ЛЭ *DD5* — на значение  $Q^{n+1} = 0$ . При  $J^n = K^n = 1$  и  $Q^n = 0$ ,  $\bar{Q}^n = 1$  будет  $q_1 = q_3 = 0$ , вследствие чего на выходе ЛЭ *DD5* возникнет  $\bar{Q}^{n+1} = 1$ , а на выходе ЛЭ *DD6* — сигнал  $Q^{n+1} = 0$ . Таким образом, независимо от того, в каком состоянии находился *JK*-триггер при комбинации входных сигналов  $J^n = K^n = 1$  происходит его переброс — изменение состояния на противоположное.

Элементы задержки *DD3* и *DD4* служат для задержки времени поступления сигналов ОС с выходов триггера на входы ЛЭ *DD1* и *DD2*. Эти сигналы  $Q^{n+1}$  и  $\bar{Q}^{n+1}$  поступают на ЛЭ *DD1* и *DD2* после окончания действия входных сигналов  $J^n$  и  $K^n$ , т. е. когда  $J^{n+1} = K^{n+1} = 0$ . Отсутствие элементов задержки вызвало бы многократное срабатывание триггера — генерацию. Сигналы *J* и *K* должны быть кратковременными, что достигается управлением работой ЛЭ *DD1* и *DD2* по фронту или срезу импульсов. Следовательно, в *JK*-триггере используется динамическое управление записью информации, что и подчеркивается в его условном изображении (рис. 12.14, б).

Состояния *JK*-триггера при различных значениях входных сигналов можно кратко отразить таблицей состояний (табл. 12.5).

Табл. 12.5. Состояния *JK*-триггера

$J^n$		$K^n$	$Q^{n+1}$
0	0	0	$Q^n$
0	1	0	0
1	0	0	1
1	1	0	$\bar{Q}^n$

Рассмотренный асинхронный *JK*-триггер не применяется из-за сложности изготовления элементов задержки. Применяемые на практике *JK*-триггеры обычно выполняются по двухступенчатой схеме, или схеме *MS* (от англ. master-slave, что означает ведущий-ведомый).

**Двухступенчатый *JK*-триггер.** В состав двухступенчатого *JK*-триггера (рис. 12.15, а) входят синхронный *RS*-триггер первой ступени *T1* с логикой 2И на входе, синхронный триггер *T2* второй ступени и инвертор. Запись информации в первый триггер производится по сигналу  $C = 1$ . После окончания сигнала на входе *C* ( $C = 0$ ) информация

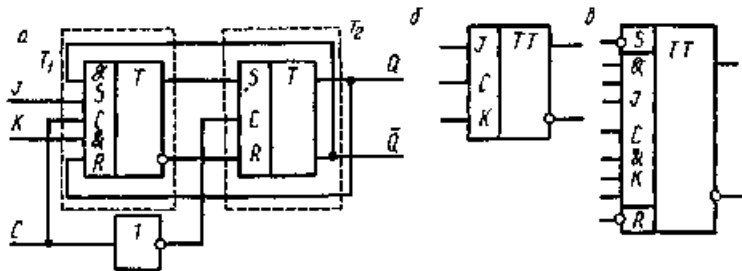


Рис. 12.15. Схема (а) и условные обозначения (б, в) двухступенчатого синхронного  $JK$ -триггера

с первого триггера переписывается во второй. Следовательно, задержка в перезаписи информации будет определяться в основном длительностью сигнала на входе  $C$ . В остальном работа двухступенчатого  $JK$ -триггера аналогична работе рассмотренного асинхронного  $JK$ -триггера.

В  $JK$ -триггер можно ввести дополнительные входы  $S$  и  $R$  и с их помощью осуществлять асинхронную установку состояний триггера независимо от сигналов на входах  $J$ ,  $K$  и  $C$ . Такой триггер называют **комбинированным  $JK$ -триггером** (рис. 12.15, в).

Если перед входом  $K$   $JK$ -триггера поставить инвертор (рис. 12.16), то  $JK$ -триггер можно использовать как  $D$ -триггер. Допустим,  $D=0$  и  $C=0$ , тогда  $J=0$ ,  $K=1$ . Синхронизирующий импульс  $C=1$  переведет  $JK$ -триггер в состояние  $Q=0$ ,  $\bar{Q}=1$ .

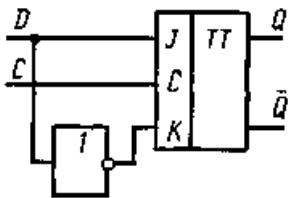


Рис. 12.16. Схема  $D$ -триггера, выполненного на синхронном  $JK$ -триггере

Если  $D=1$  ( $J=1$ ,  $K=0$ ), то после воздействия синхронизирующего импульса  $JK$ -триггер перейдет в состояние  $Q=1$ ,  $\bar{Q}=0$ .