

12.5. -ТРИГГЕРЫ

D-триггеры имеют один информационный вход D и могут быть асинхронными или синхронными. Наибольшее применение получили синхронные D-триггеры. Простей-

ший синхронный D -триггер (рис. 12.12, a) выполнен на ЛЭ $DD3$ и $DD4$ типа И — НЕ по схеме RS -триггера и является ячейкой памяти. Логические элементы $DD1$ и $DD2$ образуют схему управления.

При отсутствии синхронизирующего импульса ($C = 0$) ЛЭ $DD1$ и $DD2$ закрыты, $q_1 = q_2 = 1$ и на выходе триггера поддерживается устойчивое состояние $Q^n = 1$ или $\bar{Q}^n = 0$. При этом информация на входе D не изменяет состояние

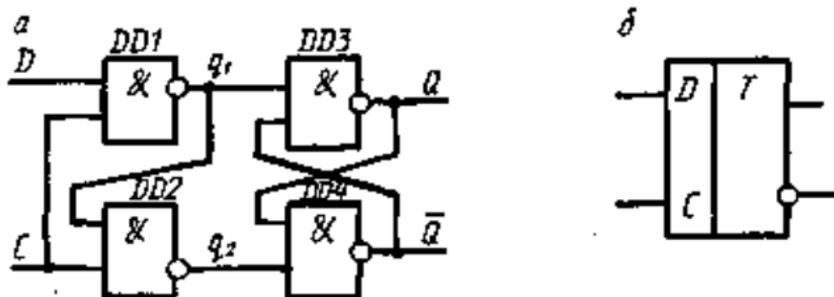


Рис. 12.12. Схема (a) и условное обозначение (b) D -триггера на логических элементах И — НЕ

ЛЭ $DD1$ и $DD2$ и поэтому не влияет на состояние ячейки памяти.

Если с приходом синхронизирующего импульса $C = 1$, сигнал на информационном входе D отсутствует, т. е. $D^n = 0$, то ЛЭ $DD1$ закрыт и $q_1 = 1$. На обоих входах ЛЭ $DD2$ будет действовать логическая 1 ($C = 1, q_1 = 1$), он откроется ($q_2 = 0$), что приведет к запираанию ЛЭ $DD4$ и отпираанию ЛЭ $DD3$. В результате на выходе ячейки памяти установится нулевое состояние ($Q^{n+1} = 0, \bar{Q}^{n+1} = 1$). Если же во время действия синхронизирующего импульса $C = 1$ на вход D поступает логическая 1 ($D = 1$), то открывается ЛЭ $DD1$, на его выходе образуется логический 0 ($q_1 = 0$), а ЛЭ $DD2$ будет закрыт и $q_2 = 1$. Под действием промежуточного сигнала $q_1 = 0$ ЛЭ $DD3$ запирается ($Q^{n+1} = 1$), а ЛЭ $DD4$ отпирается, так как на его входах действуют сигналы $q_2 = 1$ и $Q^{n+1} = 1$.

Из вышеизложенного следует, что сигнал на выходе Q D -триггера принимает такое же значение, какое имеется на информационном входе D во время действия синхронизирующего импульса. Это значение хранится (запоминается) в триггере до прихода следующего синхронизирующего импульса, так как в паузах между синхронизирующими импульсами на входах ячейки памяти действует нейтральная комбинация сигналов $q_1 = q_2 = 1$. Следовательно, в D -триггере осуществляется задержка на один

такт сигнала, поступающего на информационный вход D . Поэтому D -триггер называют триггером задержки (от англ. delay — задержка, промедление).

В D -триггере вместо ЛЭ И — НЕ можно использовать ЛЭ ИЛИ — НЕ. В последнем случае для синхронизации потребуются импульсы нулевого уровня.

Если требуется задержка записанной информации более чем на один такт, применяют DV -триггер, отличающийся от D -триггера наличием дополнительного информационного входа V (от англ. valve — вентиль, клапан), как показано на рис. 12.13, *а*. Когда $V=1$, триггер работает как D -триггер. При $V=0$ ЛЭ $DD1$ и $DD2$ закрыты

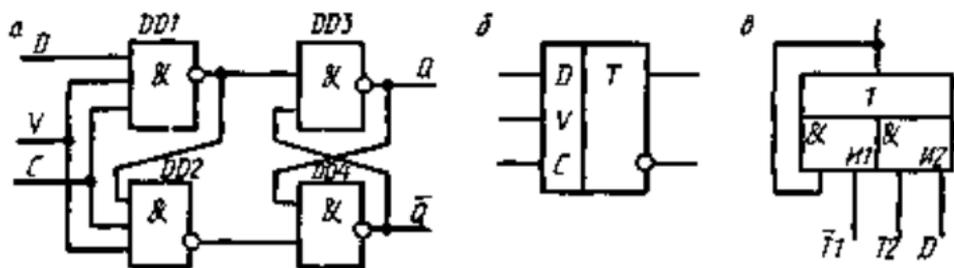


Рис. 12.13. Схема (*а*), условное обозначение (*б*) DV -триггера и схема двухтактного триггера (*в*)

при любых комбинациях сигналов на входах D и C , и в ячейке памяти хранится информация, записанная в предыдущем такте.

На рис. 12.13, *в* приведена схема однофазного двухтактного триггера на ЛЭ 2И — ИЛИ. Запись логической 1 в этом триггере осуществляется через ЛЭ $И2$ при одновременном действии сигналов на входах $T2$ и D . После окончания действия сигналов $T2$ и D (или одного из них) единичное состояние триггера удерживается логическим элементом $И1$, на входе которого действуют сигналы $Q = 1$ и $\bar{T}_1 = 1$ ($T_1 = 0$). Установка триггера в состояние логического нуля осуществляется подачей на вход $T1$ логической 1 (при этом $\bar{T}_1 = 0$).

Как устройства запоминания двоичной информации D - и DV -триггеры применяются при построении регистров, счетчиков и других узлов цифровой техники.